

ชุดทดลอง DIGITAL LAB CPLD XC9572

Complex Programmable Logic Device

In-System Programmable CPLD 72 macrocells 1600 usable gate

ประเสริฐ กมลพทะกุล¹ ศิริวรรณ คำภักดิ์²

1 บทนำ

การออกแบบวงจรดิจิทัลขนาดเล็กโดยปกติจะนิยมใช้ชิพหรือไอซีมาตรฐาน เช่น ไอซี CMOS ตระกูล 4000 และ 74HC00 หรือไอซี TTL ตระกูล 74LS00 เป็นต้น ยกตัวอย่าง ไอซี TTL เบอร์ 74LS08 ซึ่งเป็น AND Gate 2 อินพุต 4 ตัว หรือจะเป็น CMOS เบอร์ 74HC393 เป็นวงจรรนับไบนารีหรือฐานสอง 4 บิต 2 ตัว จะเห็นว่าไอซีสำเร็จรูปเหล่านี้จะมีฟังก์ชันการทำงานทางลอจิกแบบตายตัว และเป็นวงจรมีขนาดเล็กอยู่ภายในเพียงไม่กี่ตัวจึงไม่เหมาะกับการออกแบบวงจรขนาดใหญ่ หรือความถี่สูง เนื่องจากเกิดเวลาล่าช้า (Delay) ขึ้นภายในตัวไอซีและสายสัญญาณ โดยที่ความเร็วของสัญญาณต่างๆ ในสายเส้นทองแดงของ PCB (ชนิด FR4) หรือสายสัญญาณนั้นจะมีความเร็ว (ค่ากลางๆ) ประมาณครึ่งหนึ่งของความเร็วแสง หรือ 15-18 เซนติเมตรต่อนาโนวินาที จากข้อจำกัดดังกล่าวทำให้การออกแบบแผงวงจรขนาดใหญ่ที่ใช้ความถี่สูงหลายสิบเมกะเฮิรตซ์มีความยุ่งยากมากและอาจทำไม่ได้

ในปี 1997 ได้มีการคิดค้น ไอซีหรือชิพดิจิทัลอเนกประสงค์ที่สามารถโปรแกรมให้มีฟังก์ชันการทำงานตามที่ต้องการได้ โดยที่ภายในชิพจะบรรจุวงจรลอจิกพื้นฐานที่มีฟังก์ชันการทำงานแบบไม่ตายตัวไว้เป็นจำนวนมากเรียกว่า ซีพีแอลดี (CPLD = Complex Programmable Logic Device) CPLD เป็นอุปกรณ์ที่ได้มีการออกแบบวงจรโครงสร้างภายในเป็นวงจรพื้นฐานต่างๆ เช่น AND array, OR array และ

Macrocells ต่อกันอยู่เป็นกลุ่ม มีทั้งวงจรคอมบิเนชัน (Combination) และ ซีควิเอนเชียล (Sequential) อีกทั้งยังมีความยืดหยุ่นในการออกแบบวงจรสูงคือ สามารถกำหนดโครงสร้างการทำงานภายในไอซี CPLD ได้อย่างอิสระ โดยไอซี CPLD นี้จะเป็นไอซีประเภทเดียวกับไอซี เอฟพีจีเอ (FPGA = Field Programmable Gate Arrays) จะต่างกันตรงที่ไอซี CPLD เมื่อทำการโปรแกรมแล้วข้อมูลจะไม่สูญหายแม้จะไม่มีไฟเลี้ยงจ่ายให้ก็ตาม ส่วน FPGA ข้อมูลที่โปรแกรมจะเกิดการสูญหายเมื่อเราหยุดจ่ายไฟให้กับตัวไอซี จึงจำเป็นต้องมี IC PROM เก็บข้อมูล แต่ไอซีประเภทนี้จะมีวงจรโครงสร้าง และฟังก์ชันการทำงานที่ซับซ้อนกว่า CPLD ซึ่งโดยทั่วไปไอซีประเภท FPGA จะถูกใช้เป็นตัวแบบในการสร้างวงจรมีขนาดใหญ่จนถึงวงจรมีขนาดใหญ่หลายๆ หรือ ทดลองออกแบบไอซีต่างๆ เช่น การออกแบบ Microprocessor หรือ Network Device เป็นต้น ซึ่งผู้ออกแบบสามารถทำได้เองโดยไม่ต้องไปพึ่งโรงงาน อีกทั้งการตรวจสอบ หรือการจำลองการทำงานยังทำได้ง่าย และยังมีเครื่องมือที่ช่วยในการพัฒนางานทางด้านนี้อีกมากมาย

บทความนี้จะนำเสนอการออกแบบและสร้างชุดทดลองที่ใช้ออกแบบวงจรดิจิทัลโดยใช้ชิป CPLD ของบริษัท Xilinx เบอร์ XC9572 เพื่อให้ผู้ทดลองได้เรียนรู้การออกแบบวงจรรวมดิจิทัลตั้งแต่ขั้นพื้นฐานจนถึงการโปรแกรมวงจรลงชิป CPLD ด้วยคอมพิวเตอร์และซอฟต์แวร์ (Software Tool) โดยใช้โปรแกรม Xilinx Integrated Software Environment

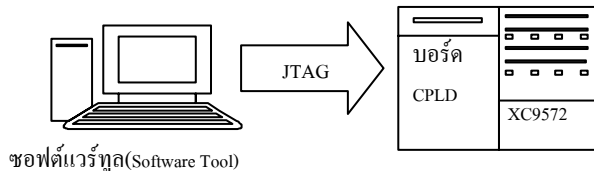
¹ อาจารย์, แผนกช่างอิเล็กทรอนิกส์, โรงเรียนเทคโนโลยีหมู่บ้านครู

² อาจารย์, แผนกช่างอิเล็กทรอนิกส์, โรงเรียนเทคโนโลยีหมู่บ้านครู

(ISE) Schematic Capture ซึ่งสามารถที่จะดาวน์โหลดได้ฟรีจากเว็บไซต์ <http://www.xilinx.com>

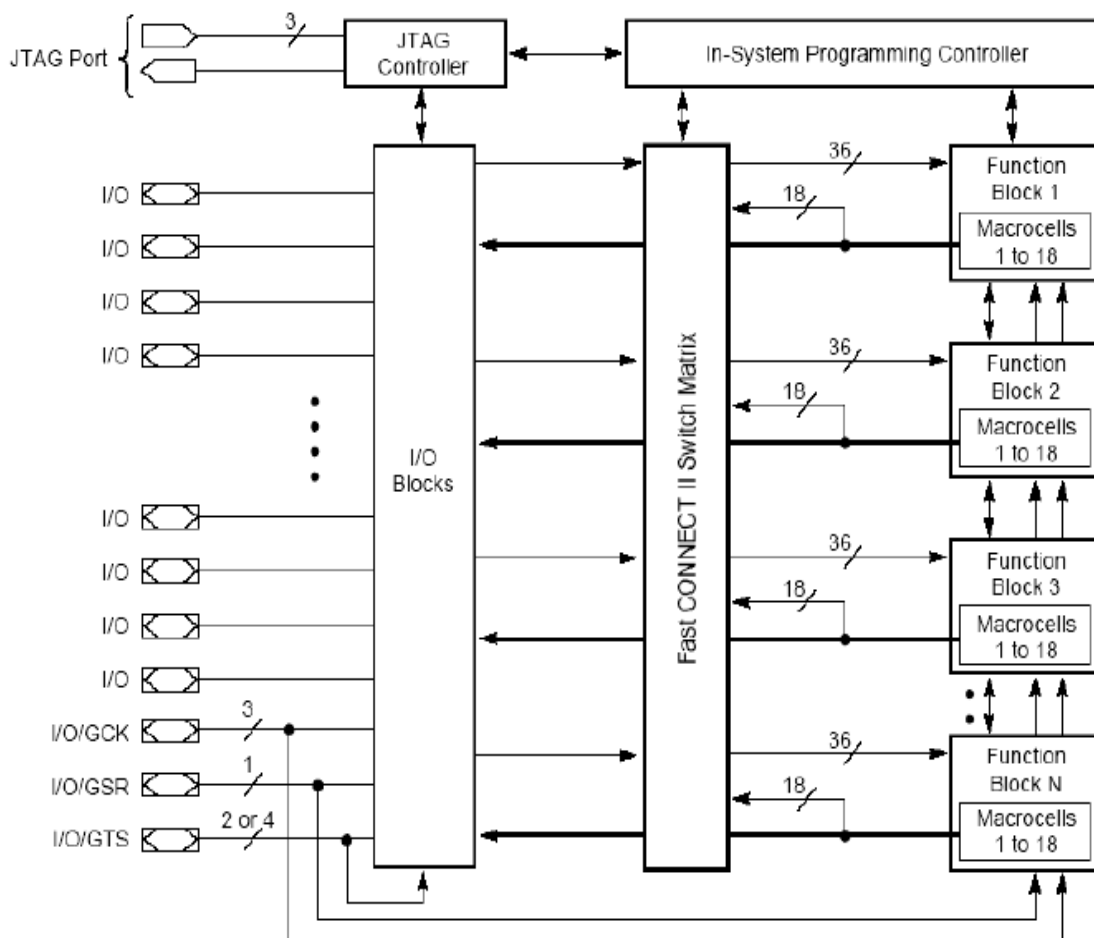
2 วิธีดำเนินการ

การออกแบบโครงสร้างการใช้งานโดยรวมของชุดทดลอง CPLD XC9572 แสดงดังรูปที่ 1



รูปที่ 1 โครงสร้างการใช้งานของชุดทดลอง CPLD XC9572

1) ศึกษาและรวบรวมข้อมูลเกี่ยวกับโครงสร้างของ CPLD XC9572 [1] เช่น ภายในชิพ CPLD ตระกูล XC9572 ของ Xilinx จะประกอบด้วยวงจรที่เป็นส่วนของการทำงาน ได้แก่ Function Blocks (FB) และ I/O Blocks (IOB) ซึ่งทั้งสองส่วน จะถูกเชื่อมต่อกันภายในด้วยการทำงานที่เรียกว่า Fast Connect switch matrix ซึ่งวงจรส่วน Fast Connect switch matrix จะทำงานร่วมกับ Function Blocks ทำให้เกิดวงจรลอจิกตามที่ได้ออกแบบและโปรแกรมเข้าไปในชิพ CPLD โดยชิพ CPLD จะมี Function Block หลายชุด ซึ่งในแต่ละ Function Block จะประกอบด้วยวงจรส่วนที่เรียกว่า Macrocells ภายในวงจร Macrocell จะประกอบด้วยวงจรรีจิสเตอร์ หรือฟลิป-ฟล็อป ที่สามารถประกอบกันเป็นวงจรรีจิสเตอร์ หรือ เคาน์เตอร์ได้ ส่วนวงจรที่เรียกว่า I/O Blocks จะทำหน้าที่เป็นตัวเชื่อมต่อกับขา I/O ของตัวชิพโดยสามารถโปรแกรมให้แต่ละขาเป็น Input / Output ได้



รูปที่ 2 โครงสร้างภายในของ CPLD ตระกูล XC9500

2) ศึกษาข้อมูลคุณสมบัติของซีพ CPLD XC9572 ในส่วนที่เป็นสาระสำคัญ เพื่อนำไปเป็นข้อมูลในการออกแบบได้แก่

2.1 CPLD สามารถใช้งานความถี่สูงถึง 125 MHz ใช้แรงเคลื่อน 5 V และ 3.3 V

2.2 ขา I/O สามารถขับกระแสได้ ถึง 24 mA

2.3 CPLD แต่ละเบอร์สามารถเลือกจำนวน I/O ตาม Package ได้

2.4 เราสามารถเลือกขนาดของ CPLD ได้ตามข้อมูลของ Data sheet ซึ่งแต่ละเบอร์จะมีจำนวนลอจิกเกตใช้งาน (Usable Gates) และจำนวน Register หรือจำนวน Flip-flop ที่แตกต่างกัน

Table 1: XC9500 Device Family

	XC9536	XC9572
Macrocells	36	72
Usable Gates	800	1,600
Registers	36	72
T_{PD} (ns)	5	7.5
T_{SU} (ns)	3.5	4.5
T_{CO} (ns)	4.0	4.5
f_{CNT} (MHz) ⁽¹⁾	100	125
f_{SYSTEM} (MHz) ⁽²⁾	100	83.3

Notes:

1. f_{CNT} = Operating frequency for 16-bit counters.
2. f_{SYSTEM} = Internal operating frequency for general purpose sys

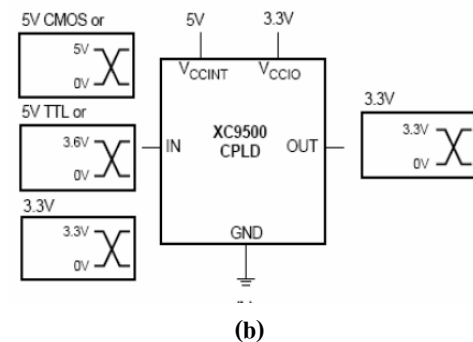
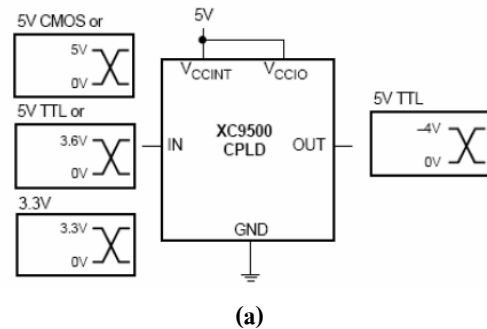
ตารางที่ 1 ข้อมูลคุณสมบัติ CPLD XC9572

Table 2: Available Packages and Device I/O Pins (not inc

	XC9536	XC9572
44-Pin VQFP	34	-
44-Pin PLCC	34	34
48-Pin CSP	34	-
84-Pin PLCC	-	69
100-Pin TQFP	-	72
100-Pin PQFP	-	72
160-Pin PQFP	-	-
208-Pin HQFP	-	-
352-Pin BGA	-	-

ตารางที่ 2 ข้อมูลขาของซีพ CPLD XC9572

2.5 การเชื่อมต่อการใช้งานด้านอินพุต กับเอาพุต ที่มีขนาดแรงเคลื่อน 5 V เท่ากันตามรูป (a) และที่มีแรงเคลื่อน 3.3 V ตามรูป (b) จะต้องต่อไฟเลี้ยงขา VCCINT และ VCCIO ที่ค่าแตกต่างกัน



รูปที่ 3 การเชื่อมต่อการใช้งาน CPLD ตระกูล XC9500

3) ออกแบบชุดทดลอง โดยกำหนดคุณสมบัติดังนี้

3.1 CPLD เบอร์ XC9572(1,600 เกต) PLCC 44 ขา (PC44) Speed Gate -15

3.1 7-Segment แสดงผล จำนวน 4 หลัก

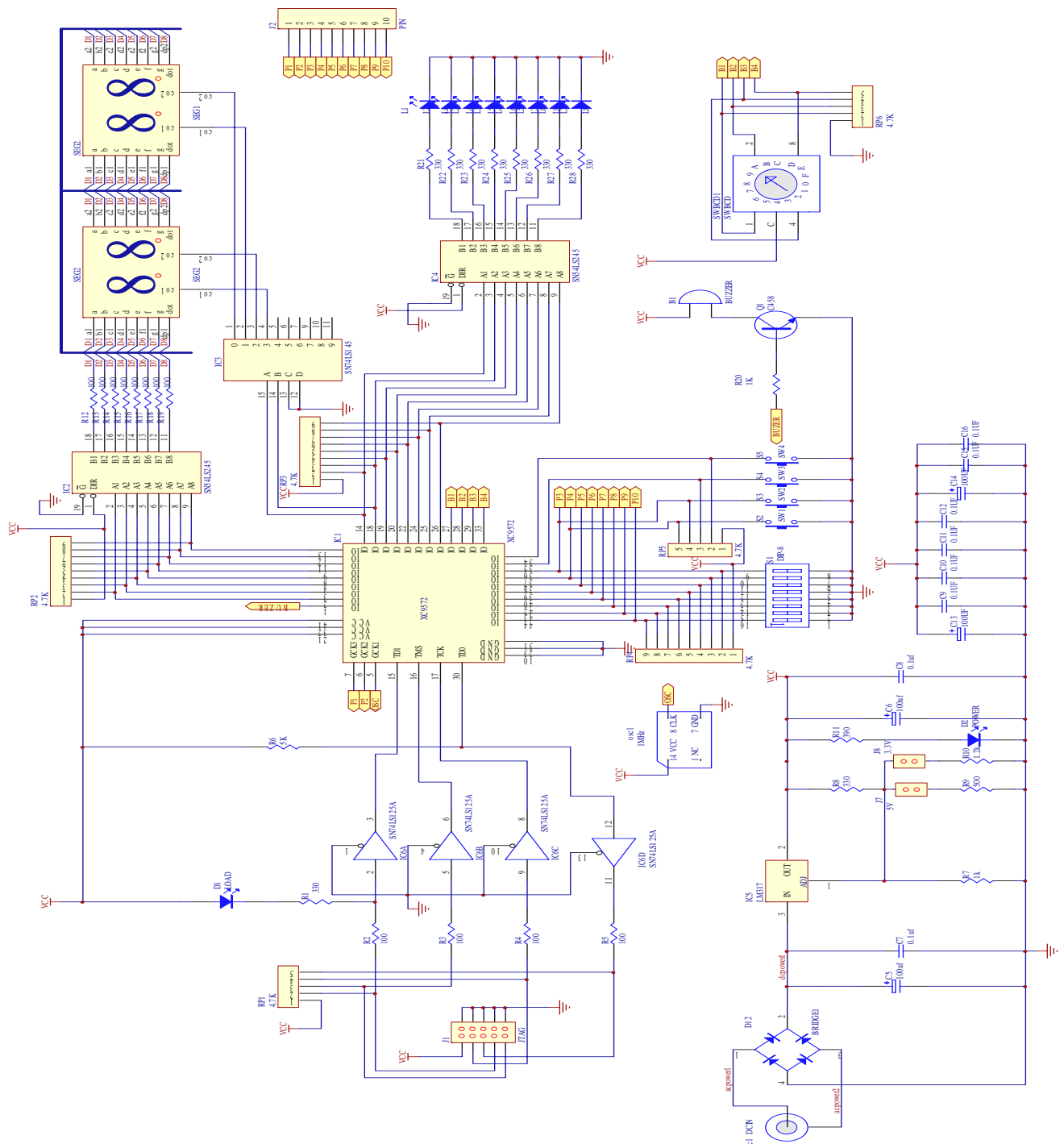
3.3 LED แสดงผล 2 สถานะ จำนวน 8 ดวง

3.4 ออด(Buzzer) จำนวน 1 ตัว

3.5 DIP Switch 8 บิต

3.6 Push Button Switch 4 ตัว

3.7 Oscillator 1 MH



รูปที่ 4 วงจรชุดทดลอง DIGITAL LAB CPLD XC9572 ที่สมบูรณ์

4) กำหนดการทำงานตามตำแหน่งขาที่ต่ออยู่กับฮาร์ดแวร์ภายนอกบนชุดทดลอง ตามตารางที่ 3 และออกแบบวงจรบอร์ดชุดทดลองชิพ CPLD เบอร์ XC9572 [2] ตามรูปที่ 4, 5

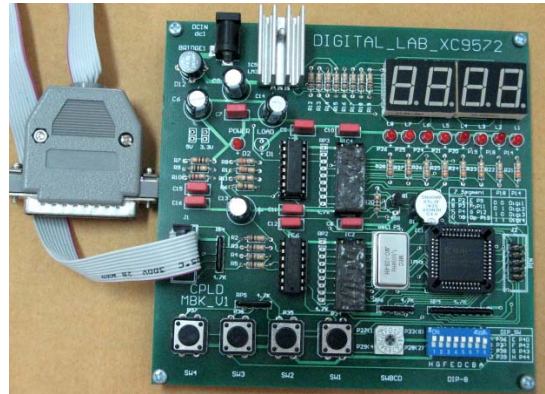
LED		7-Segment		DIP Sw.	
I/O	Pin NO.	I/O	Pin NO.	I/O	Pin NO.
L1	P14	A	P2	A	P36
L2	P18	B	P3	B	P37
L3	P19	C	P4	C	P38
L4	P20	D	P8	D	P39
L5	P21	E	P9	E	P40
L6	P24	F	P11	F	P42
L7	P25	G	P12	G	P43
L8	P28	db	P13	H	P44
Misc		P18	P14	Push Button SW.	
I/O	Pin NO.	00	Digital 1	I/O	Pin NO.
Buzzer	P1	01	Digital 2	SW.1	P34
OSC	P5	10	Digital 3	SW.2	P35
1 MHz		11	Digital 4	SW.3	P36
BCD Switch				SW.4	P37
I/O	Pin NO.				
1	P27				
2	P28				
4	P29				
8	P33				

ตารางที่ 3 ตำแหน่งขาของชิพ CPLD ที่ต่อกับฮาร์ดแวร์

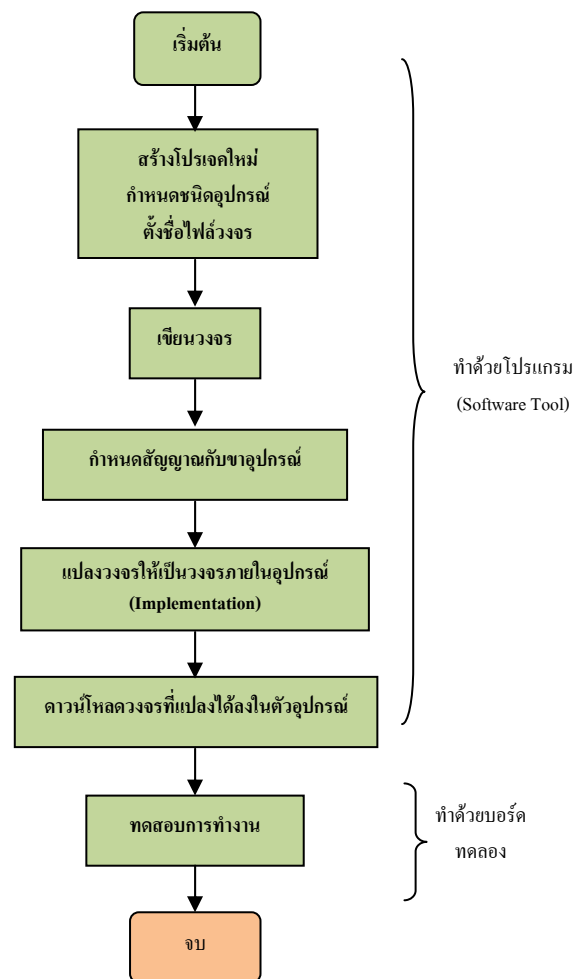
เมื่อทำการออกแบบและสร้างชุดทดลอง CPLD XC9572 สมบูรณ์แล้ว ผู้ใช้สามารถโปรแกรมวงจรดิจิทัลต่างๆ ลงบอร์ดชุดทดลองได้ง่ายๆ โดยทำการต่อสายจექก (JTAG) และต่อสายอะแดปเตอร์ (Adaptor) ไฟ 9 โวลต์ หลังจากนั้นจึงทำการดาวน์โหลดวงจรที่ต้องการลงสู่ชิพ CPLD ในขั้นตอนก่อนการโปรแกรมวงจรลงชิพจะต้องมีการกำหนดขาตามตารางที่ 3 ด้วย

5) ศึกษาวิธีการใช้โปรแกรมบอร์ดชุดทดลองชิพ CPLD XC9572 โดยโปรแกรมที่ใช้คือ Xilinx Integrated Software Environment (ISE) Schematic Capture (Web Pack 8.1i) เป็นซอฟต์แวร์ที่มีขั้นตอนใช้งานตั้งแต่การสร้างโปรเจกต์เพื่อเขียนลอจิกไคอะแกรม จนถึงการสร้างอุปกรณ์จริงตาม

ไคอะแกรม สามารถทำการโปรแกรมได้ในขณะมีไฟเลี้ยงวงจร ซึ่งเรียกว่า In-System Programming ใช้มาตรฐาน Protocol JTAG แบบ 4 ขั้ว ตามมาตรฐานของ IEEE 1149.1 Boundary-Scan (JTAG) สามารถโปรแกรมซ้ำได้มากกว่า 10,000 ครั้ง โดยวิธีการใช้โปรแกรมแสดงในรูปที่ 5



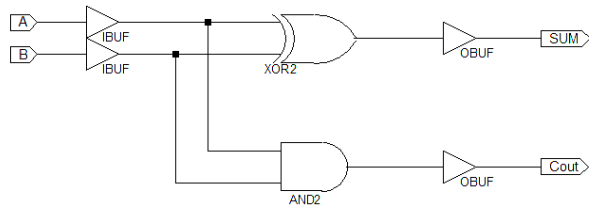
รูปที่ 5 ชุดทดลอง DIGITAL LAB CPLD XC9572 ที่สมบูรณ์



รูปที่ 5 ขั้นตอนการใช้โปรแกรม

3 ทดสอบชุดทดลอง CPLD XC9572

ในบทความนี้จะใช้ชุดทดลอง DIGITAL LAB CPLD XC9572 ทดสอบกับวงจรบวกเลขไบนารีขนาด 1 บิต ซึ่งแสดงในรูปที่ 6



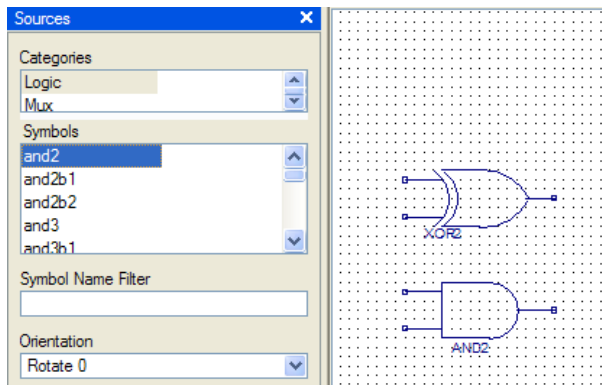
รูปที่ 6 ตัวอย่างวงจรบวกเลขไบนารีขนาด 1 บิต

- 1) เปิดโปรแกรม Xilinx ISE 8.1i ตามรูปที่ 7



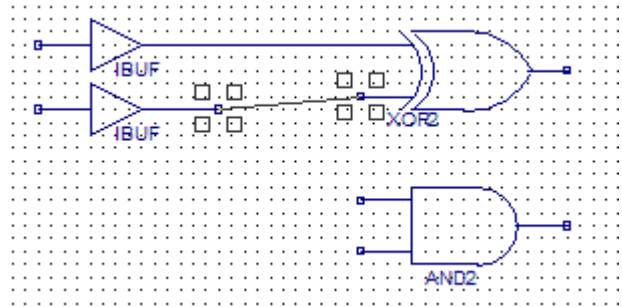
รูปที่ 7 โปรแกรม Xilinx ISE 8.1i

- 2) เขียนวงจรตามตัวอย่าง เลือกอุปกรณ์ในตำแหน่ง Logic โดยชื่ออุปกรณ์เป็น xor2 และ and2 มีความหมายแทนชื่อของ Logic Gate ทั้ง 2 ตามรูปที่ 8



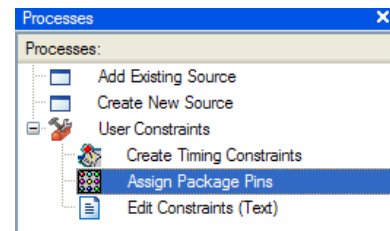
รูปที่ 8 เขียนวงจรลงโปรแกรม

- 3) ต่อสายเข้ากับขาอุปกรณ์เลือก Icon Add Wire ใช้เมาส์คลิกเพื่อต่อสาย แล้วลากเมาส์ไปยังจุดที่ต้องการเชื่อมต่อเข้าด้วยกันตามรูปที่ 9



รูปที่ 9 ต่อสายเข้ากับขาอุปกรณ์

- 4) การกำหนดขาสัญญาณของอุปกรณ์เริ่มจาก เปิดหน้าต่าง Process และคลิกที่เครื่องหมายบวกที่ User Constraints แล้ว Double click ที่ Assign Package Pins ตามรูปที่ 10 (a) กำหนดค่าของพอร์ทอินพุตและพอร์ทเอาต์พุตโดยอ้างอิงในตารางที่ 3 ตามรูปที่ 10 (b)



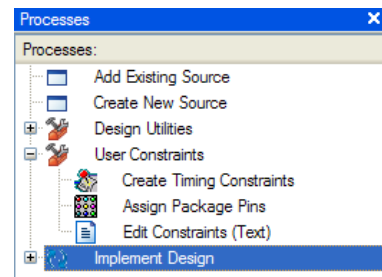
(a)

I/O Name	I/O Direction	Loc	Function Block	Macrocell
A	Input	P36	2	5
B	Input	P37	2	6
Cout	Output	P18	3	11
SUM	Output	P14	3	9

(b)

รูปที่ 10 การกำหนดขาสัญญาณของอุปกรณ์

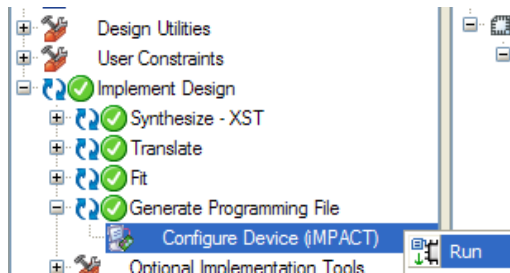
- 5) แปลงวงจร Schematic ที่เขียนไว้ในโปรแกรมให้เป็นวงจรภายใน เรียกอีกอย่างว่า Implement ตามรูปที่ 11



รูปที่ 11 การ Implement ลงชิพ

6) การโปรแกรมลงชิพ เริ่มจากการต่อสาย Interface (JTAG) ระหว่างพอร์ทขนานกับบอร์ดทดลอง ป้อนไฟเข้าบอร์ดทดลอง สังเกตตัวอุปกรณ์ LED Power บนบอร์ดจะสว่าง

6.1. เปิดเมนูย่อยใน Generate Programming File แล้วดับเบิลคลิกที่ Configure Device (iMPACT) ให้เลือก Configure devices using Boundary-Scan(JTAG) แล้วกด Finish โปรแกรมจะทำการตรวจสอบชุด Download ถ้าไม่มีตรวจสอบอุปกรณ์และสาย Download ตามรูปที่ 13

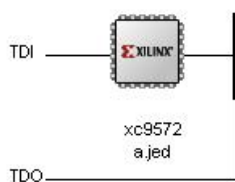


รูปที่ 13 การโปรแกรมลงชิพ ผ่านสาย Interface(JTAG)

6.2. เมื่อโปรแกรมพร้อมจะ Download จะปรากฏหน้าต่างรูปตัว IC และ Programming Properties ในหน้าต่างนี้เป็นการกำหนดทางเลือกของการโปรแกรม ให้เลือกเป็น Erase before Programming และ Verify รูปที่ 14 (a) หรือให้ดับเบิลคลิกที่ตัว IC แล้วเลือกคำสั่งโปรแกรม หรือเมื่อคลิกที่ขวาที่ตัว IC รูปที่ 14 (b) แล้วเมนู Operations->Program โปรแกรมก็จะทำการโปรแกรมชิพ เมื่อเสร็จแล้วชิพจะเป็นวงจรที่เราออกแบบ พร้อมทดสอบการทำงาน ตามรูปที่ 14



(a)



(b)

รูปที่ 14 Download โปรแกรมลงชิพ









4 ผลของการทดสอบ

วงจรบวกเลขไบนารีขนาด 1 บิตนี้ มีการทำงานตามตารางที่ 4 ดังนั้นการทดสอบวงจรนี้ทำได้โดยการป้อนลอจิก 0 และ ลอจิก1 เข้าที่สัญญาณ A และ B ตรวจสอบว่า สัญญาณ Cout และ SUM ให้ลอจิกอะไรออกมาในแต่ละครั้งของการป้อนสัญญาณ ซึ่งผลของการทดสอบจะแสดงในตารางที่ 5 (LED ดับแทนลอจิก 0 และ LED ติด แทนลอจิก 1)

ตารางที่ 4 ตารางความจริง(Truth Table) ของวงจร

A	B	Cout	SUM
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

ตารางที่ 5 ผลของการทดสอบชุดทดลอง DIGITAL LAB CPLD XC9572

A	B	Cout	SUM
0	0		
0	1		
1	0		
1	1		

จากผลการทดลองที่ได้เปรียบเทียบกับตารางความจริง (Truth Table) ของวงจรบวกเลขไบนารี 1 บิต ไม่มีความแตกต่างกันเพราะลักษณะของอินพุตเป็น Binary 2 หลัก และมี 2 เอาท์พุท คือผลบวก(Sum) และตัวทด(Carry) สอดคล้องกับนิพจน์ลอจิก ดังสมการที่ 1 และ 2

$$\begin{aligned} Sum &= \overline{A}B + A\overline{B} \\ &= A \oplus B \end{aligned} \quad \dots\dots\dots 1$$

$$Carry = AB \quad \dots\dots\dots 2$$

5 บทสรุป

จากการทดสอบที่ได้ชี้ให้เห็นว่า ชุดทดลอง DIGITAL LAB CPLD XC9572 สามารถใช้ในการทดลองวงจรดิจิทัลได้ โดยไม่มีข้อผิดพลาด ผลที่ได้ตรงกับตารางความจริง (Truth

Table) ของวงจรลอจิก อันเป็นข้อมูลเดียวกัน และยังสอดคล้องกันกับนิพจน์ลอจิกสมการ นอกจากนั้นด้วยคุณสมบัติของ IC CPLD XC9572 ผู้ทดลองยังสามารถพัฒนา สร้างวงจรที่มีขนาดกลาง โดยการใช้โปรแกรม Soft Ware Tool ชุดวงจรให้มองเห็นเพียง IC ตัวเดียว แต่ยังคงมีคุณสมบัติเหมือนเดิมทุกประการ จึงเหมาะสำหรับผู้ที่สนใจในการพัฒนางจรดิจิทัลพื้นฐานจนถึงในระดับต่อยอดเป็น IC FPGA ซึ่งเป็นการสร้างวงจรขนาดใหญ่ต่อไป

เอกสารอ้างอิง

- [1] Xilinx. “XC9572XL High Performance CPLD” DS057 (V2.0) April 3, 2007.
- [2] ณรงค์ ทองนิม และ เจริญ วงษ์หุ้มเย็น . บอร์ดทดลอง CPLD Explorer XC9572 : บริษัท เอเพก อินสตรูเมนต์ จำกัด , ภาควิชาวิศวกรรมคอมพิวเตอร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.มปป.
- [3] วรินทร์ เคารพ. คู่มือการใช้ CPLD : กรุงเทพมหานคร เอกสารประกอบการเรียนรู้ CPLD XC95108 บริษัท อีทีที จำกัด. มปป.
- [4] สมบูรณ์ เนียมกล้า. การออกแบบดิจิทัลสมัยใหม่ด้วย FPGA และ CPLD : www.ailogictechnology.com